

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder：

申請日：西元 2003 年 04 月 21 日  
Application Date

申請案號：092109241  
Application No.

申請人：國立清華大學  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 6 月 24 日  
Issue Date

發文字號：09220622870  
Serial No.



# 發明專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號：\_\_\_\_\_ ※IPC 分類：\_\_\_\_\_

※ 申請日期：\_\_\_\_\_

## 壹、發明名稱

(中文) Earle 門鎖電路及其設計方法

(英文) \_\_\_\_\_

## 貳、發明人 (共 3 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 張慶元

(英文) \_\_\_\_\_

住居所地址：(中文) 新竹市園後街 24 號 4 樓

(英文) \_\_\_\_\_

國籍：(中文) 中華民國

(英文) \_\_\_\_\_

## 參、申請人 (共 1 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 國立清華大學

(英文) \_\_\_\_\_

住居所或營業所地址：(中文) 300 新竹市光復路二段 101 號

(英文) \_\_\_\_\_

國籍：(中文) 中華民國

(英文) \_\_\_\_\_

代表人：(中文) 徐遐生

(英文) \_\_\_\_\_

☒ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

發明人 2

姓名：(中文) 羅浩榮  
(英文)

住居所地址：(中文) 新竹市清華大學東院 86-1 號 2 樓  
(英文)

國籍：(中文) 中華民國 (英文)

發明人 3

姓名：(中文) 楊紹聖  
(英文)

住居所地址：(中文) 高雄市楠梓區右昌街 470 號 2 樓  
(英文)

國籍：(中文) 中華民國 (英文)

發明人 4

姓名：(中文)  
(英文)

住居所地址：(中文)  
(英文)

國籍：(中文) (英文)

發明人 5

姓名：(中文)  
(英文)

住居所地址：(中文)  
(英文)

國籍：(中文) (英文)

發明人 6

姓名：(中文)  
(英文)

住居所地址：(中文)  
(英文)

國籍：(中文) (英文)

#### 肆、中文發明摘要

一種 Earle 閘鎖電路及其設計方法，該 Earle 閘鎖電路包括一具有至少一資料輸入之布林邏輯電路，並根據一時脈輸入、一反相時脈輸入及其閘鎖輸出控制該資料輸入以決定該閘鎖輸出；本方法令該閘鎖輸出與該時脈輸入經一第一或閘運算產生一第一和項，再令該第一和項與該資料輸入經由第一及閘運算產生一第一積項，並令該閘鎖輸出與該反相時脈輸入經一第二及閘運算產生一第二積項後，令該第一積項與該第二積項經一第二或閘運算產生該閘鎖輸出。藉此，可避免該布林邏輯電路被重複複製，而達到減少總面積、消耗功率和延遲時間等功效。

#### 伍、英文發明摘要

(一)、本案指定代表圖為：第 四 圖

(二)、本代表圖之元件代表符號簡單說明：

1 Earle 閃鎖電路

10 第一或閘

11 第一和項

12 第一及閘

13 第一積項

14 第二及閘

15 第二積項

16 第二或閘

CLK 時脈輸入

CLK' 反相時脈輸入

DATA 資料輸入

OUT 閃鎖輸出

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

**別、聲明事項**

☒ 本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為： 91年11月

☐ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. \_\_\_\_\_
2. \_\_\_\_\_
3. \_\_\_\_\_

☐ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. \_\_\_\_\_
2. \_\_\_\_\_
3. \_\_\_\_\_
4. \_\_\_\_\_
5. \_\_\_\_\_
6. \_\_\_\_\_
7. \_\_\_\_\_
8. \_\_\_\_\_
9. \_\_\_\_\_
10. \_\_\_\_\_

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. \_\_\_\_\_
2. \_\_\_\_\_
3. \_\_\_\_\_

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. \_\_\_\_\_
2. \_\_\_\_\_
3. \_\_\_\_\_

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. \_\_\_\_\_
2. \_\_\_\_\_
3. \_\_\_\_\_

☐ 熟習該項技術者易於獲得，不須寄存。

**【發明所屬之技術領域】**

本發明是有關於一種 Earle 閃鎖電路及其設計方法，特別是指一種在實現布林邏輯電路功能時，可使該布林邏輯電路不需被重複複製，而達到減少電路面積、消耗功率及延遲時間之 Earle 閃鎖電路及其設計方法。

**【先前技術】**

由於半導體製程技術的快速演進，過去龐大的印刷電路板所能達成的複雜系統已逐漸被晶片系統所取代，且藉由日益精進的製程及設計工具，使得單一矽晶片中更整合了微處理器、記憶體、類比電路及射頻電路等。但由於更細微精緻的製程以及更多樣性整合技術的開發，有關於單晶片測試、功耗、速度、故障診斷、修復能力以及製造良率等問題亦隨之而來，其中又以晶片面積大小影響成本至巨。此外，在 VLSI(超大型積體電路)晶片設計中，為穩定布林時序邏輯電路的輸入及輸出信號數值正確，通常會在其輸入及輸出端加上閃鎖電路，用以閃鎖輸入及輸出信號不致變動，使時序電路可以運作正常，但也因此使電路變得複雜且耗時。所以，為使晶片速度能夠達到一定標準，簡單且快速的閃鎖電路設計即顯得非常重要。

如第一圖所示，是傳統一種由 NAND 閘組成之 D 型閃鎖器 2，其需要兩個受時脈輸入 CLK 控制之資料輸入 DATA 及反相資料輸入 DATA'。但 D 型閃鎖器 2 具有反相資料輸入 DATA' 不易取得以及延遲時間長(具有三個閘延遲)的缺點。因此，如第二圖所示，傳統一種優於 D 型閃



鎖器 2 之 Earle 門鎖電路 3 被提出。傳統 Earle 門鎖電路 3 由於不需要反相資料輸入 DATA'，且使用之時脈輸入 CLK 及反相時脈輸入 CLK' 容易獲得，而且只有兩個閘延遲，所以較 D 型門鎖器 2 快速。此外，傳統 Earle 門鎖設計可應用於二階積後和 (Two-Level Sum-of-Product) 布林邏輯電路，並將其門鎖功能混入 (併入) 該布林邏輯電路中，而能有效縮減延遲時間和面積。以傳統 Earle 門鎖電路設計全加器進位電路為例，其中該全加器具有三個資料輸入：加數 A、被加數 B 及進位 C，故該進位電路 (即布林邏輯電路 40) 之二階積後和方程式如下：

進位輸出 (Y) = 全加器輸入 (A) • 全加器輸入 (B)

+ 全加器輸入 (B) • 全加器進位輸入 (C)

+ 全加器輸入 (A) • 全加器進位輸入 (C)

其中符號 "+" 表示邏輯 "或"，符號 "•" 表示邏輯 "及"

，且如第三圖所示，為使用傳統 Earle 門鎖電路設計之全加器進位電路 4，其方程式為：

門鎖輸出 (Cout) = 布林邏輯電路 40 (即  $A \cdot B + B \cdot C + A \cdot C$ )

• 時脈輸入 CLK + 布林邏輯電路 40 • 門鎖

輸出 + 門鎖輸出 • 反相時脈輸入 CLK'

因此，由上列方程式及第三圖可知，當布林邏輯電路 40 之資料輸入為複數個 (A、B、C) 時，傳統 Earle 門鎖電路設計之全加器進位電路 4 即必須複製布林邏輯電路 40，以分別與時脈輸入 CLK 和門鎖輸出 Cout 進行邏輯 "及" 運算和迴路處理，但如此一來卻會造成電路總面積、消耗功率和

延遲時間增加，並使得其速度甚至因為結構關係而低於習知 D 型門鎖器。

### 【發明內容】

因此，本發明之目的，在於提供一種 Earle 門鎖電路及其設計方法，其在實現布林邏輯電路時，可避免該布林邏輯電路被複製而有效減少電路總面積、功率消耗及延遲時間。

於是，本發明 Earle 門鎖電路之設計方法，其中該 Earle 門鎖電路包括一具有至少一資料輸入之布林邏輯電路，並根據一時脈輸入、一反相時脈輸入及其門鎖輸出控制該布林邏輯電路之資料輸入，以決定該門鎖輸出。該設計方法包括下列步驟：令該門鎖輸出與該時脈輸入進行邏輯“或”運算以產生一第一和項，再令該第一和項與該資料輸入進行邏輯“及”運算以產生一第一積項；令該門鎖輸出與該反相時脈輸入進行邏輯“及”運算以產生一第二積項；以及令該第一積項與該第二積項進行邏輯“或”運算以產生該門鎖輸出。藉此，使布林邏輯電路不需被再複製而達到減少電路總面積、消耗功率及延遲時間等功效。

另外，本發明實現上述設計方法之 Earle 門鎖電路，包括一具有至少一資料輸入之布林邏輯電路，並根據一時脈輸入、一反相時脈輸入及其門鎖輸出控制該布林邏輯電路之資料輸入，以決定該門鎖輸出，其特徵在於：該 Earle 門鎖電路更包括一第一或閘、一第一及閘、一第二及閘及一第二或閘。該第一或閘用以對該門鎖輸出與該時脈輸入進

行邏輯”或”運算以產生一第一和項。該第一及閘用以對該第一和項與該資料輸入進行邏輯”及”運算以產生一第一積項。該第二及閘，用以對該閘鎖輸出與該反相時脈輸入進行邏輯”及”運算以產生一第二積項。該第二或閘，用以對該第一積項與該第二積項進行邏輯”或”運算以產生該閘鎖輸出。藉此，使布林邏輯電路不需被再複製而達到減少電路總面積、消耗功率及延遲時間等功效。

#### 【實施方式】

本發明之前述以及其他技術內容、特點與功效，在以下配合參考圖式之一較佳實施例的詳細說明中，將可清楚的明白。

在本發明 Earle 閘鎖電路及其設計方法中，如第四圖所示，Earle 閘鎖電路 1 具有至少一資料輸入 DATA，且 Earle 閘鎖電路 1 係根據一時脈輸入 CLK、一反相時脈輸入 CLK' 及其閘鎖輸出 OUT 控制資料輸入 DATA，以產生閘鎖輸出 OUT。首先，以第四圖所示之 Earle 閘鎖電路 1，探討當僅有單一資料輸入 DATA 時，本發明 Earle 閘鎖電路 1 之設計方法如下：

先令時脈輸入 CLK 與閘鎖輸出 OUT 進行邏輯”或(OR)”運算，亦即時脈輸入 CLK 與閘鎖輸出 OUT 共同輸入一第一或閘 10 以產生一第一和項 11。接著，令第一和項 11 與輸入資料 DATA 共同輸入一第一及閘 12 進行邏輯”及(AND)”運算以產生一第一積項 13。

同時，令閘鎖輸出 OUT 與時脈反相輸入 CLK' 共同輸

入一第二及閘 14 進行邏輯”及(AND)”運算以產生一第二積項 15。

然後，將第一積項 13 與第二積項 15 共同輸入一第二或閘 16 進行邏輯”或(OR)”運算而決定該門鎖輸出 OUT，並完成該 Earle 門鎖電路 1。

由上述說明可知，藉由本發明 Earle 門鎖電路 1 之設計，資料輸入 DATA 不需分別和時脈輸入 CLK 及門鎖輸出 OUT 進行邏輯”及”運算，因為先藉由第一或閘 10 讓時脈輸入 CLK 及門鎖輸出 OUT 先進行邏輯”或”運算產生第一和項 11 後，再與資料輸入 DATA 進行邏輯”及”運算，即可避免輸入資料 DATA 被重覆使用。尤其當所設計之布林邏輯電路是一具有複數個輸入資料(例如 A、B、C)的積之和邏輯電路(例如  $AB+BC+CA$ )時，本發明之設計方法更可避免布林邏輯電路不致因輸入資料 DATA 需重覆使用而被複製的情況發生，以下將以一實例說明之。

如第五圖所示，是以本發明 Earle 門鎖電路之設計方法所設計之全加器進位電路 5，該全加器的輸入資料有 A、B、C 三個(其中 A 及 B 為全加器輸入，C 為全加器進位輸入，且全加器之進位電路(即前述之布林邏輯電路 40)的方程式為： $AB+AC+BC$ )，而本發明之設計方法係將前述傳統 Earle 門鎖電路之進位輸出 Cout 方程式：

$$\begin{aligned} \text{Cout} = & \text{布林邏輯電路 40} \cdot \text{時脈輸入 CLK} + \text{布林邏輯電路} \\ & 40 \cdot \text{門鎖輸出 Cout} + \text{門鎖輸出 Cout} \cdot \text{時脈反相} \\ & \text{輸入 CLK}' \end{aligned}$$

改寫成如下之方程式：

$$C_{out} = \text{布林邏輯電路 } 40 \cdot (\text{時脈輸入 CLK} + \text{閃鎖輸出 } C_{out}) + \text{閃鎖輸出} \cdot \text{時脈反相輸入 CLK}'$$

藉此，如第五圖所示，先將時脈輸入 CLK 與進位輸出 Cout 分別經由三個第一或閘 51 進行”或”運算後，再分別輸入原布林邏輯電路 40 的各個第一及閘 52 中，而使得布林邏輯電路 40 不需被再複製一份。此外，第四圖及第五圖中之第一或閘 10、51 和第一及閘 12、52 由於在以 CMOS 複閘(Complex Gate)設計時，在同一閘內，故其閘延遲時間與傳統 Earle 閃鎖電路相同，但第二或閘 16、53 因其扇入(Fan-in)減少，故其集總(Lumped)電容相對減少，因而使得其延遲時間比傳統 Earle 電路更少。因此，由本發明 Earle 閃鎖電路設計之全加器進位電路 5 的總面積、總消耗功率及延遲時間將被有效減少而優於傳統 Earle 閃鎖電路 4。

而且，布林邏輯電路除了皆可使用本發明之 Earle 閃鎖設計外，當布林邏輯電路的第一級為邏輯”及”電路(或者可被轉化為一邏輯”及”電路)，例如上述全加器之二階積後和進位輸出方程式時，則如第五圖所示，進位輸出 Cout 與時脈輸入 CLK 經第一或閘 51 做邏輯”或”運算後，可直接併入(輸入)布林邏輯電路 40 之第一級電路的各個第一及閘 52 中。同樣地，當布林邏輯電路 40 的最後一級為邏輯”或”電路(或者可被轉化為一邏輯”或”電路)，例如前述全加器之進位輸出方程式時，則進位輸出 Cout 之邏輯”或”運算可直接由該布林邏輯電路 40 的最後一級邏輯電路(即第二或閘 53)完

成，並成為布林邏輯電路 40 的最後一級輸出。如此，可進一步減少使用面積和延遲時間。

此外，本發明以上述全加器進位電路為例，透過國家晶片系統設計中心以 CMOS 1P3M(一層 Polysilicon(多晶矽)線及三層 Metal(金屬)線)  $0.6\mu\text{m}$  製程實際做成晶片，並以  
5 後佈局模擬量測本發明與傳統 Earle 閃鎖電路的速度，其量測結果如第六圖~第八圖所示，其中第六圖為全加器之輸入波形，第七圖為全加器之進位(Cout)輸出波形，第八圖為全加器之和(Sum)輸出波形，又第七、八圖中各有兩個波形，  
10 超前的波形為本發明 Earle 閃鎖電路設計之全加器，落後者為傳統 Earle 閃鎖電路設計之全加器，且由圖中橫軸的時間可計算出傳統 Earle 閃鎖電路設計之全加器的閃鎖速度為 33MHz，而本發明 Earle 閃鎖電路設計之閃鎖速度為 60MHz。  
另外，藉由實際量測晶片的佈局圖可知，由傳統 Earle 閃鎖電路實做之全加器晶片的面積為  $13458\mu\text{m}^2$ ，但由本發明  
15 設計之全加器晶片的面積僅需  $12738\mu\text{m}^2$ ，顯見本發明之晶片面積較傳統 Earle 閃鎖電路小，且閃鎖速度亦明顯較傳統 Earle 閃鎖電路快了將近一倍。

再者，參見第九圖係本發明與其他包括由傳統 Earle 閃鎖電路設計全加器進位電路，使用 CMOS 1P6M(一層多晶矽線及六層金屬線)  $0.18\mu\text{m}$  製程，以 Hspice(一種電路模擬軟體，可依製程參數模擬所設計電路之時間延遲、電壓電流  
20 波形等)模擬之比較結果可知，本發明之面積和消耗功率與所有其他閃鎖電路相較為最少，而且本發明之延遲時間雖

然不是最少，但亦比傳統 Earle 閃鎖電路少。

綜上所述，本發明 Earle 閃鎖電路及其設計方法藉由將時脈輸入 CLK 與閃鎖輸出 OUT 做邏輯”或”運算產生一第一和項後，再以該第一和項與布林邏輯電路做邏輯”及”運算，  
5 使布林邏輯電路不需分別與時脈輸入 CLK 和閃鎖輸出做邏輯”及”運算，而避免布林邏輯電路被再複製的情況發生，藉此，減少邏輯閘元件的使用數量及面積，並降低功率消耗以及延遲時間，確實達到本發明之目的及功效。

惟以上所述者，僅為本發明之較佳實施例而已，當不能以此限定本發明實施之範圍，即大凡依本發明申請專利範圍及發明說明書內容所作之簡單的等效變化與修飾，皆應仍屬本發明專利涵蓋之範圍內。

#### 【圖式簡單說明】

第一圖是習知 D 型閃鎖器之電路圖；

15 第二圖是傳統 Earle 閃鎖電路圖；

第三圖是以傳統 Earle 閃鎖電路設計之全加器的進位電路圖；

第四圖是本發明 Earle 閃鎖電路的一較佳實施例，本實施例具有單一資料輸入 DATA。

20 第五圖是以本實施例設計之全加器的進位電路圖；

第六圖~第八圖顯示本發明與傳統 Earle 閃鎖電路之後佈局模擬比較結果，其中第六圖為全加器之輸入波形，第七圖為全加器之進位(Cout)輸出波形，第八圖為全加器之和(Sum)輸出波形；及

第九圖顯示本發明與其他閃鎖電路以全加器之進位電  
路設計為例之比較結果。



【圖式之主要元件代表符號簡單說明】

- |              |             |
|--------------|-------------|
| 1 Earle 閃鎖電路 | 5 全加器進位電路   |
| 10、51 第一或閘   | 11 第一和項     |
| 12、52 第一及閘   | 13 第一積項     |
| 14 第二及閘      | 15 第二積項     |
| 16、53 第二或閘   | 40 布林邏輯電路   |
| CLK 時脈輸入     | CLK' 反相時脈輸入 |
| DATA 資料輸入    | OUT 閃鎖輸出    |
| Cout 進位輸出    | A、B、C 資料輸入  |

1. 一種 Earle 閘鎖電路之設計方法，該 Earle 閘鎖電路包括一具有至少一資料輸入之布林邏輯電路，並根據一時脈輸入、一反相時脈輸入及其閘鎖輸出控制該布林邏輯電路之資料輸入，以決定該閘鎖輸出；該設計方法包括下列步驟：

令該閘鎖輸出與該時脈輸入進行邏輯”或”運算以產生一第一和項，再令該第一和項與該資料輸入進行邏輯”及”運算以產生一第一積項；

令該閘鎖輸出與該反相時脈輸入進行邏輯”及”運算以產生一第二積項；以及

令該第一積項與該第二積項進行邏輯”或”運算以產生該閘鎖輸出。

2. 依申請專利範圍第1項所述 Earle 閘鎖電路之設計方法，其中該布林邏輯電路之第一級電路為邏輯”及”運算，且該第一和項可直接併入該第一級電路中與該布林邏輯電路之資料輸入進行邏輯”及”運算。
3. 依申請專利範圍第1或2項所述 Earle 閘鎖電路之設計方法，其中該布林邏輯電路之最後一級電路為邏輯”或”運算，且該第一積項與第二積項可直接併入該最後一級電路中進行邏輯”或”運算而產生該閘鎖輸出。
4. 一種 Earle 閘鎖電路，包括一具有至少一資料輸入之布林邏輯電路，並根據一時脈輸入、一反相時脈輸入及其閘鎖輸出控制該布林邏輯電路之資料輸入，以決定該閘鎖輸出，其特徵在於：

該 Earle 閘鎖電路更包括：

## 拾、申請專利範圍

一第一或閘，用以對該閘鎖輸出與該時脈輸入進行邏輯”或”運算以產生一第一和項；

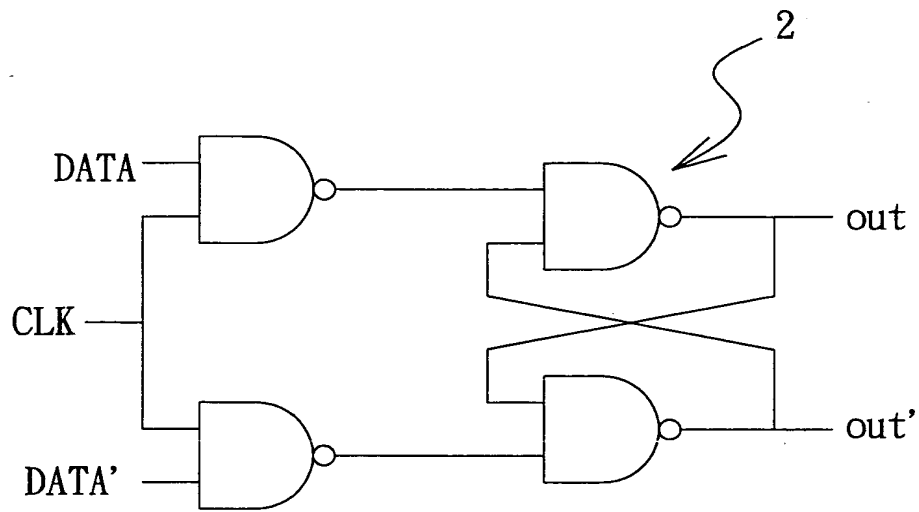
一第一及閘，用以對該第一和項與該資料輸入進行邏輯”及”運算以產生一第一積項；

一第二及閘，用以對該閘鎖輸出與該反相時脈輸入進行邏輯”及”運算以產生一第二積項；及

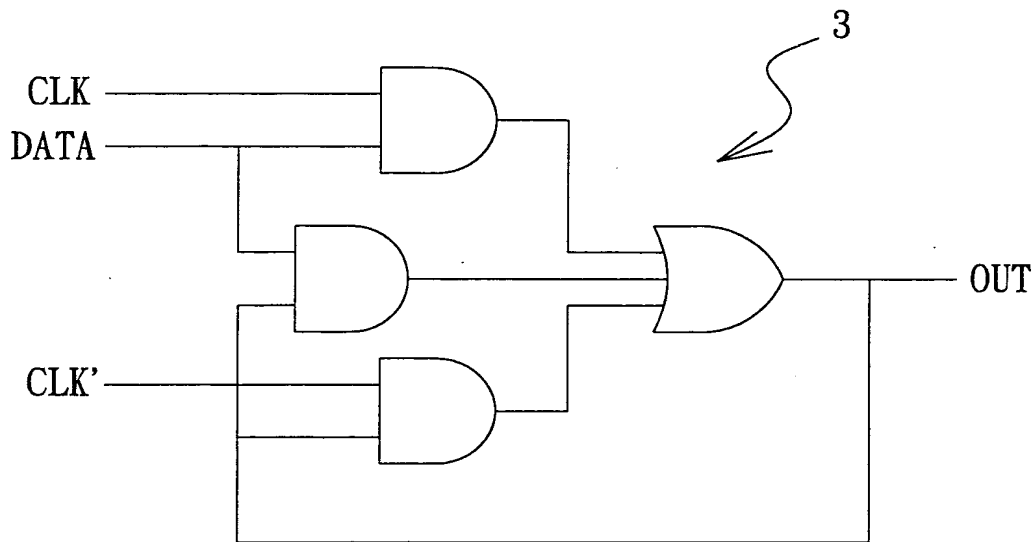
一第二或閘，用以對該第一積項與該第二積項進行邏輯”或”運算以產生該閘鎖輸出。

5.依申請專利範圍第4項所述之Earle閘鎖電路，其中該第一及閘係該布林邏輯電路之第一級電路，且該第一和項可直接併入該第一級電路與該布林邏輯電路之資料輸入進行邏輯”及”運算而產生該第一積項。

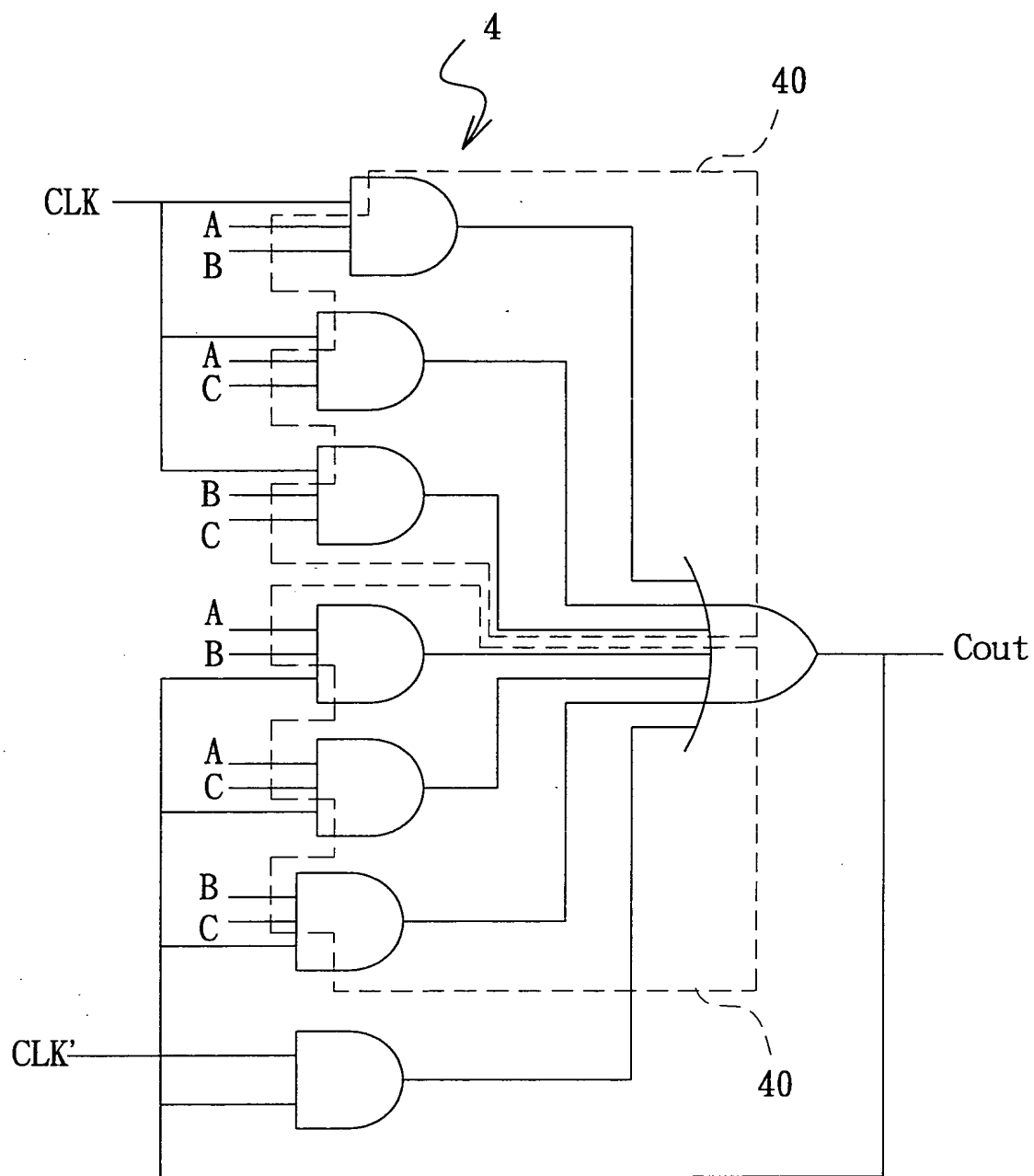
6.依申請專利範圍第4或5項所述之Earle閘鎖電路，其中該第二或閘係該布林邏輯電路之最後一級電路，且該第一積項與該第二積項可直接併入該最後一級電路中進行邏輯”或”運算而產生該閘鎖輸出。



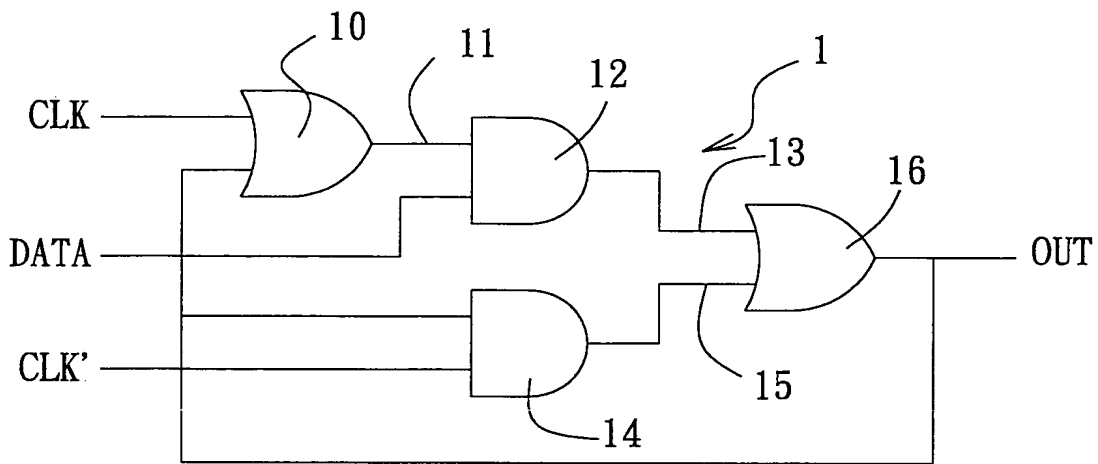
第一圖



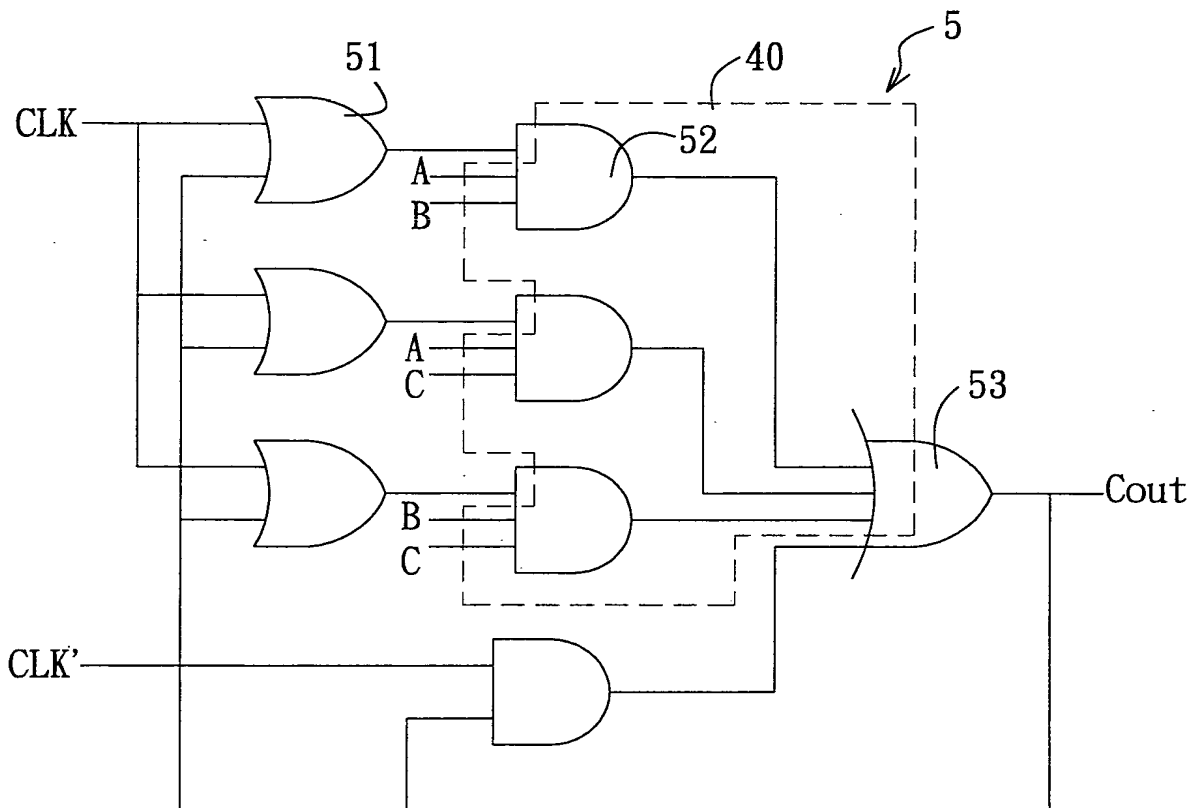
第二圖



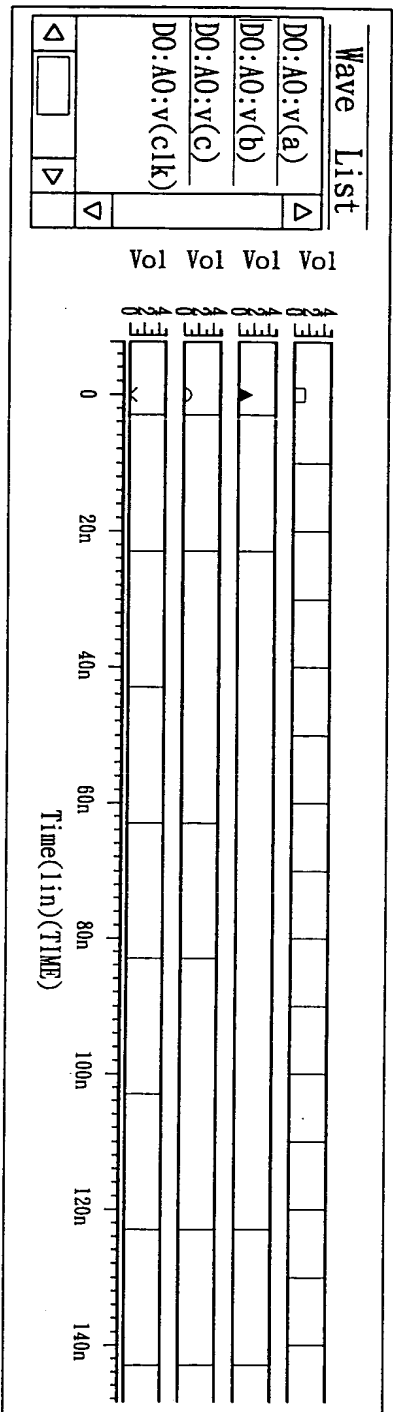
第三圖



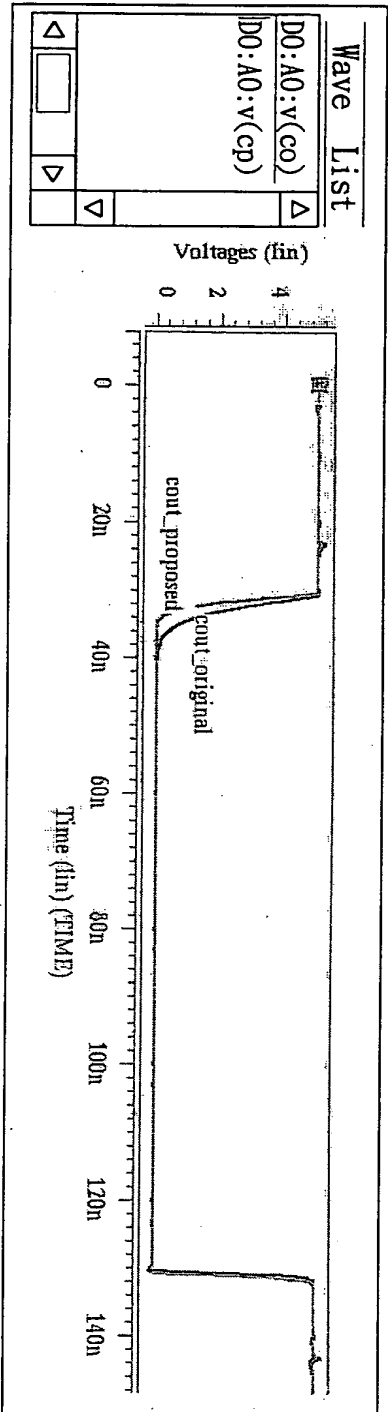
第四圖



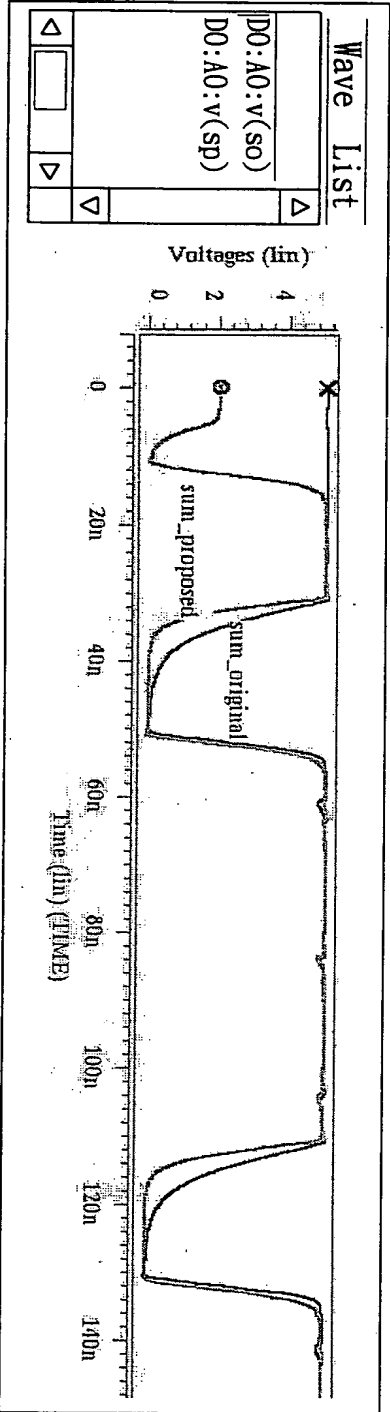
第五圖



第六圖



第七圖



第八圖

本案與習知技藝以全加器進位電路為例之比較

	本發明 Earle 門鎖	傳統 D型 門鎖	傳統 Earle 門鎖	Jamb latch	transmission -gate latch	Tri-state buffer latch	Modified Svensson latch
單獨 面積 電晶體 (個數)	14	18	18	6	10	10	7
總面積 電晶體 (個數)	36	72	54	36	48	48	39
延遲 時間 (ns)	0.274	0.284	0.313	0.262	0.255	0.396	0.209
消耗 功率 (mW)	0.144	0.316	0.164	0.328	0.363	0.299	0.148

第九圖